



SEMICONDUCTOR DEVICE

Patent number: JP2002083932
Publication date: 2002-03-22
Inventor: TSUCHIYA MASAHIKO
Applicant: SEIKO EPSON CORP
Classification:
 - international: H01L27/04; H01L21/822; G09G3/20; G09G3/36
 - european:
Application number: JP20000270443 20000906
Priority number(s):

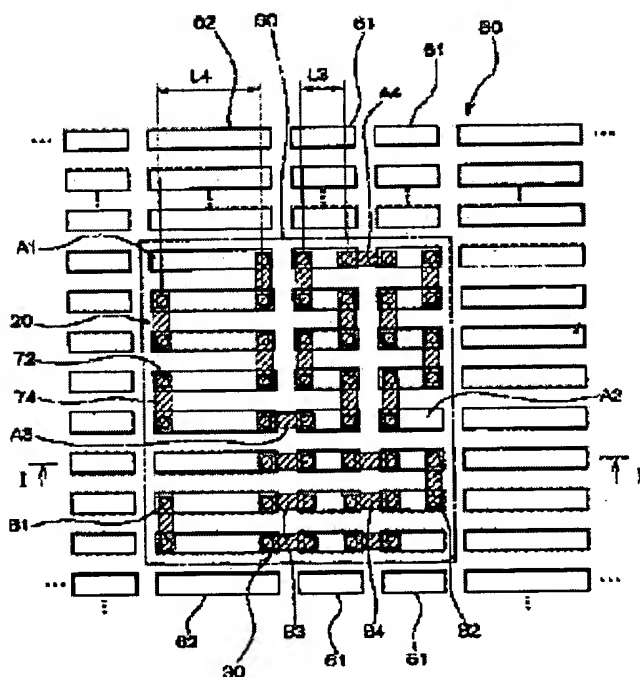
Also published as:

 US6534804 (B2)
 US2002066912 (A1)

Abstract of JP2002083932

PROBLEM TO BE SOLVED: To provide a semiconductor device in which both a voltage dividing ratio by an input resistor connected to an amplifier and a voltage dividing ratio by a feedback input resistor connected to the amplifier are set as designed.

SOLUTION: The semiconductor device is provided with a first resistor 20 comprising a plurality of first connection points A1 to A4 alternatively connected to the input terminal of the amplifier 10; and a second resistor 30 comprising a plurality of second connection points B1 to B4 ends, one side of which are connected to the output terminal 16 of the amplifier 10, and which are connected alternatively to the feedback input terminal 14 of the amplifier 10. One of the points A1 to A4 and one of the points B1 to B4 are selected in such a way that the voltage of the output terminal of the amplifier becomes constant. The first and second resistors 20, 30 are formed in such a way that only the required number of first reference resistors 61 having a reference length L3 and only the required number of second reference resistors 62 having a reference length L4 are connected by wiring layers 74. The reference resistors 61, 62 which are used to form the first and second resistors are installed together inside an effective resistor region 60 so as to be arranged regularly. A dummy resistor region 80 is arranged around the region 60.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-83932

(P2002-83932A)

(43)公開日 平成14年3月22日(2002.3.22)

| (51)IntCl. ⁷ | 識別記号 | F I | テーム(参考) |
|-------------------------|-------|---------------|-------------------|
| H 0 1 L 27/04 | | G 0 9 G 3/20 | 6 1 2 A 5 C 0 0 6 |
| 21/822 | | 3/36 | 5 C 0 8 0 |
| G 0 9 G 3/20 | 6 1 2 | H 0 1 L 27/04 | P 5 F 0 3 8 |
| 3/36 | | | |

審査請求 未請求 請求項の数7 O L (全 10 頁)

(21)出願番号 特願2000-270443(P2000-270443)

(22)出願日 平成12年9月6日(2000.9.6)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 土屋 雅彦

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 100090479

弁理士 井上 一 (外2名)

Fターム(参考) 5C006 BF43 BF44 FA19

5C080 AA10 DD30 JJ02 JJ03 JJ04

JJ05 JJ06

5F038 AR06 AR21 AR22 AR24 AZ08

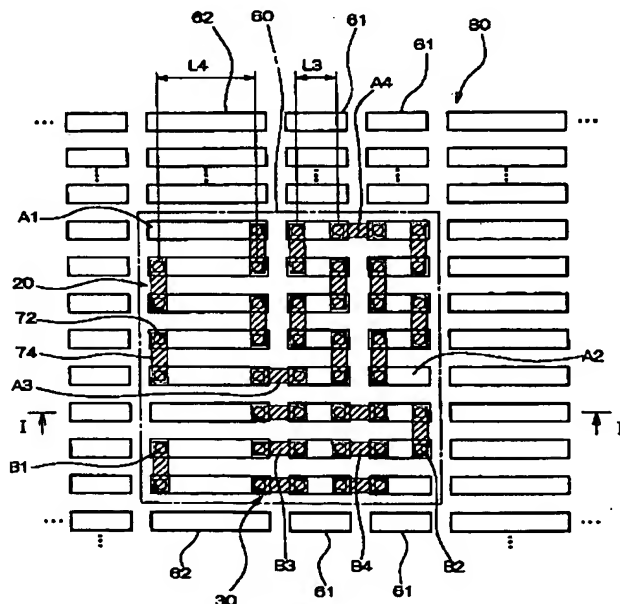
CA07 CA18 DF17 EZ20

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 アンプに接続される入力抵抗器での分圧比率と、同アンプに接続される帰還入力抵抗器の分圧比率とを、共に設計通りに設定すること。

【解決手段】 半導体装置は、アンプ10の入力端子12に択一的に接続される複数の第1の接続ポイントA1～A4を有する第1の抵抗器20と、アンプ10の出力端子16に一端が接続され、アンプ10の還入力端子14に択一的に接続される複数の第2の接続ポイントB1～B4を有する第2の抵抗器30とを有する。アンプの出力端子の電圧が一定となるように、第1の接続ポイントA1～A4の一つと、第2の接続ポイントB1～B4の一つとが選択される。第1、第2の抵抗器20、30の各々は、基準長さをL3を有する第1基準抵抗器61と、基準長さL4を有する第2基準抵抗器62とを、必要な数だけ配線層74により接続して形成される。第1、第2の抵抗器を形成するための第1、第2基準抵抗器61、62は、有効抵抗領域60内に一緒に設けられ、規則正しく配列される。有効抵抗領域60の周囲にはダミー抵抗領域80が配置される。



【特許請求の範囲】

【請求項 1】 入力端子、帰還入力端子及び出力端子を有するアンプと、

前記アンプの前記入力端子に択一的に接続される複数の第 1 の接続ポイントとを有し、両端に電圧が印加される第 1 の抵抗器と、

前記アンプの前記出力端子に一端が接続され、前記アンプの前記帰還入力端子に択一的に接続される複数の第 2 の接続ポイントとを有する第 2 の抵抗器と、

前記アンプの出力端子の電圧が一定となるように、前記複数の第 1 の接続ポイントの一つを前記入力端子に、前記複数の第 2 の接続ポイントの一つを前記帰還入力端子に、それぞれ接続する接続切り換え回路と、

を有し、

前記第 1、第 2 の抵抗器の各々は、少なくとも 1 種の基準長さをそれぞれ有する複数の基準抵抗器を、配線により接続して形成されていることを特徴とする半導体装置。

【請求項 2】 請求項 1 において、

前記前記第 1、第 2 の抵抗器は、半導体基板上の一領域内にて互いに隣接して形成されていることを特徴とする半導体装置。

【請求項 3】 請求項 2 において、

前記複数の基準抵抗器は、前記半導体基板上の前記一領域内に規則的に配列されていることを特徴とする半導体装置。

【請求項 4】 請求項 2 または 3 において、

前記第 1、第 2 の抵抗器が配置される前記一領域の周囲に、複数のダミーパターンが配置されていることを特徴とする半導体装置。

【請求項 5】 請求項 4 において、

前記複数のダミーパターンは、配線により接続されない前記複数の基準抵抗器にて形成されていることを特徴とする半導体装置。

【請求項 6】 請求項 1 乃至 5 のいずれかにおいて、

前記複数の第 1 の接続ポイントに接続された複数の第 1 の配線と、

前記複数の第 2 の接続ポイントに接続された複数の第 2 の配線と、

前記複数の第 1 の配線の一つを前記アンプの前記入力端子に択一的に接続する第 1 のスイッチ群と、

前記複数の第 2 の配線の一つを前記アンプの前記帰還入力端子に択一的に接続する第 2 のスイッチ群と、

をさらに有することを特徴とする半導体装置。

【請求項 7】 請求項 1 乃至 6 のいずれかにおいて、

前記第 1 の抵抗器の一端に接続され、第 1 の温度勾配特性を有する電圧を出力する第 1 の電源回路と、

前記第 1 の抵抗器の他端に接続され、前記第 1 の温度勾配特性とは異なる第 2 の温度勾配特性を有する電圧を出力する第 2 の電源回路と、

をさらに有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、入力抵抗値と帰還抵抗値とをそれぞれ可変としたアンプを内蔵した半導体装置に関する。

【0002】

【背景技術及び発明が解決しようとする課題】 半導体装置に内蔵されたアンプの入力端子と帰還入力端子とに、それぞれ可変抵抗器を接続するものがある。可変抵抗器は、所定の長さを持つ抵抗層途中に複数の接続ポイントを有し、いずれか一つの接続ポイントが選択されることで、抵抗値が可変される。

【0003】 この種のアンプでは、入力抵抗値と帰還入力抵抗値とを切り換えた時に、アンプの出力電圧が許容値を外れて変動してしまい、回路機能に支障をきたすという問題があった。

【0004】 この要因は、アンプの入力端子と帰還入力端子とに接続される可変抵抗器の抵抗値のばらつきである。

【0005】 通常この種の可変抵抗器は、トランジスタ形成に邪魔とならない領域に抵抗層を引き回して形成している。また、アンプの入力端子に接続される抵抗器と、帰還入力端子に接続される抵抗器とは、離れた場所にそれぞれ形成されていた。

【0006】 そこで、本発明の目的は、アンプの入力端子に接続される第 1 の抵抗器の一端から各接続ポイントまでの各長さとその抵抗器の全長との比である分圧比率と、アンプの帰還入力端子に接続される第 2 の抵抗器の一端から各接続ポイントまでの各長さとその抵抗器の全長との比である分圧比率とを、それぞれ設計通りに設定することのできる半導体装置を提供することにある。

【0007】

【課題を解決するための手段】 本発明に係る半導体装置は、入力端子、帰還入力端子及び出力端子を有するアンプと、前記アンプの前記入力端子に択一的に接続される複数の第 1 の接続ポイントとを有し、両端に電圧が印加される第 1 の抵抗器と、前記アンプの前記出力端子に一端が接続され、前記アンプの前記帰還入力端子に択一的に接続される複数の第 2 の接続ポイントとを有する第 2 の抵抗器と、前記アンプの出力端子の電圧が一定となるように、前記複数の第 1 の接続ポイントの一つを前記入力端子に、前記複数の第 2 の接続ポイントの一つを前記帰還入力端子に、それぞれ接続する接続切り換え回路と、を有し、前記第 1、第 2 の抵抗器の各々は、少なくとも 1 種の基準長さをそれぞれ有する複数の基準抵抗器を、配線により接続して形成されていることを特徴とする。

【0008】 本発明によれば、第 1、第 2 の抵抗器の各々は、少なくとも 1 種の基準長さをそれぞれ有する複数の基準抵抗器を配線により接続して形成されるので、各

抵抗器の一端からいずれか一つの接続ポイントまでの抵抗長さは、すくなくとも 1 種の基準抵抗器の長さの整数倍となる。従って、第 1 の抵抗器の一端から各接続ポイントまでの各長さとその抵抗器の全長との比である分圧比率と、第 2 の抵抗器の一端から各接続ポイントまでの各長さとその抵抗器の全長との比である分圧比率とを、それぞれ設計通りに設定することができる。このため、接続切り換え回路は、アンプの出力端子の電圧が一定となるように、複数の第 1 の接続ポイントの一つを入力端子に、複数の第 2 の接続ポイントの一つを帰還入力端子に、それぞれ接続することができる。

【0009】本発明では、前記第 1、第 2 の抵抗器は、半導体基板上の一領域内にて互いに隣接して形成されていることが好ましい。

【0010】こうすると、第 1、第 2 の抵抗器を作成するために必要なエッチングプロセスにて、エッチング個所に依存する不均一処理が一領域内では生じにくくなり、少なくとも一種の基準抵抗器の形状がばらつかないように加工することができる。

【0011】本発明では、前記複数の基準抵抗器は、前記半導体基板上の前記一領域内に規則的に配列されていることを特徴とする。

【0012】こうすると、第 1、第 2 の抵抗器を作成するために必要なエッチングプロセスにて、エッチングパターンに起因して生ずる不均一処理が一領域内にて生じにくくなり、少なくとも一種の基準抵抗器の形状のばらつきをより低減することができる。

【0013】本発明では、前記第 1、第 2 の抵抗器が配置される前記一領域の周囲に、複数のダミーパターンが配置されていることが好ましい。

【0014】こうすると、第 1、第 2 の抵抗器を作成するために必要なエッチングプロセスにて、中央の有効抵抗領域とその周辺のダミー抵抗領域との間で不均一処理が生じたとしても、中央の有効抵抗領域内では均一処理が確保される。

【0015】この複数のダミーパターンは、前記複数の基準抵抗器にて形成することができ、これらのダミーパターンは配線により接続されない。

【0016】本発明の半導体装置は、前記複数の第 1 の接続ポイントに接続された複数の第 1 の配線と、前記複数の第 2 の接続ポイントに接続された複数の第 2 の配線と、前記複数の第 1 の配線の一つを前記アンプの前記入力端子に択一的に接続する第 1 のスイッチ群と、前記複数の第 2 の配線の一つを前記アンプの前記帰還入力端子に択一的に接続する第 2 のスイッチ群と、をさらに有することができる。

【0017】こうすると、第 1、第 2 のスイッチ群の中からのスイッチ選択によって、アンプの出力端子の電圧が一定となるように第 1、第 2 の抵抗器の抵抗値を選択することができる。

【0018】本発明の半導体装置は、前記第 1 の抵抗器の一端に接続され、第 1 の温度勾配特性を有する電圧を出力する第 1 の電源回路と、前記第 1 の抵抗器の他端に接続され、前記第 1 の温度勾配特性とは異なる第 2 の温度勾配特性を有する電圧を出力する第 2 の電源回路と、をさらに有することを特徴とする。

【0019】こうすると、アンプの出力端子より、第 1 の温度勾配特性と第 2 の温度勾配特性との間で変化する温度勾配特性を持つ電圧を得ることができる。

10 【0020】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0021】（半導体回路の説明）図 1 は、本発明の実施形態に係る半導体装置の一部の回路図である。図 1 には、アンプ 10 と、第 1、第 2 の抵抗器 20、30 が示されている。

【0022】アンプ 10 は入力端子（プラス入力端子）12、帰還入力端子（マイナス入力端子）14 及び出力端子 16 を有する。

20 【0023】第 1 の抵抗器 20 の両端には電圧 V が印加されている。また、この第 1 の抵抗器 20 は、アンプ 10 の入力端子 12 に択一的に接続される複数の例えば 4 つの第 1 の接続ポイント A1～A4 を有する。

【0024】第 2 の抵抗器 30 の一端はアンプ 10 の出力端子 16 に接続され、その他端はグラウンド電位 VSS に接地されている。また、第 2 の抵抗器 30 は、アンプ 10 の帰還入力端子 14 に択一的に接続される複数の第 2 の接続ポイント B1～B4 を有する。

30 【0025】図 2 は、第 1 の接続ポイント A1～A4 の一つを入力端子 12 に、第 2 の接続ポイント B1～B4 の一つを帰還入力端子 14 にそれぞれ接続する接続切り換え回路 40 を示している。

【0026】この接続切り換え回路 40 は、図 1 及び図 2 に示すように、第 1 の接続ポイント A1～A4 の一つを入力端子 12 に接続する第 1 の接続切り換え回路 42 と、第 2 の接続ポイント B1～B4 の一つを帰還入力端子 14 に接続する第 2 の接続切り換え回路 44 とを有する。

40 【0027】第 1 の接続切り換え回路 42 は、接続ポイント A1、A2 の一方を選択するスイッチ 42A と、接続ポイント A3、A4 の一方を選択するスイッチ 42B と、スイッチ 42A、42B の一方を選択するスイッチ 42C とを有する。

【0028】同様に、第 2 の接続切り換え回路 44 は、接続ポイント B1、B2 の一方を選択するスイッチ 44A と、接続ポイント B3、B4 の一方を選択するスイッチ 44B と、スイッチ 44A、44B の一方を選択するスイッチ 44C とを有する。

50 【0029】この接続切り換え回路 40 での接続を切り換え制御する接続制御部 50 が設けられている。この接

統制御部 50 は、アンプ 10 の出力端子の電圧が一定となるように、接続切り換え回路 40 での接続を切り換え制御し、例えばレジスタにて構成される。

【0030】ここで、図 1 に示すように、第 1 の抵抗器 20 の接続ポイント A1、A2 は、第 1 の抵抗器 20 の例えば両端に位置するものとする。また、接続ポイント A3 は全長 L1 の第 1 の抵抗器 20 を 2 分する中点に位置し、接続ポイント A4 は接続ポイント A1 から長さ $(3 \cdot L1 / 4)$ の位置にあるものとする。

【0031】また、第 1 の抵抗器 20 の各接続ポイント A1、A2 の電圧を例えば、2.0V、1.0V とする。その中間の各接続ポイント A3、A4 での電圧は、その接続ポイントまでの抵抗値に基づいて分圧されて、それぞれ 1.5V、1.25V となる。すなわち、 $1.5V = 2.0V - (2.0V - 1.0V) \times 1/2$ であり、 $1.25V = 2.0V - (2.0V - 1.0V) \times 3/4$ であり、 $1/2$ 、 $3/4$ がそれぞれ、第 1 の抵抗器 20 の一端から接続ポイントまでの長さとの比である分圧比率となる。ここで、アンプ 10 の出力端子 16 の電圧を 3.0V に保ち、かつ、接続切り換え回路 40 にて選択される接続ポイントの組み合わせを、(A1, B1)、(A2, B2)、(A3, B3) または (A4, B4) とする。この場合、第 2 の抵抗器 30 の接続ポイント B1、B2 は、全長 L2 の第 2 の抵抗器 30 を 3 等分する各位置に設定される。接続ポイント B3 は接続ポイント B1、B2 の中点となり、接続ポイント B4 は接続ポイント B2、B3 の中点となる。

【0032】アンプ 10 の出力端子 16 の電圧を 3V で一定に維持するのに重要なことは、例えば第 1 の抵抗器 20 にて接続ポイント A1 が選択された場合には、全長 L2 の第 2 の抵抗器 30 では出力端子 16 側の端部より $L2/3$ の位置にある接続ポイント B1 が選択されることである。このとき、帰還入力端子 14 の電圧は、 $3 - 3 \times (1/3) = 2.0V$ となり、接続ポイント A1 を介して入力端子 12 に入力される電圧 2.0V と一致するからである。もし、接続ポイント B1 の位置がずれていると、アンプ 10 の出力が 3V とはならない。

【0033】他の接続ポイントを選択するときも同様である。例えば接続ポイント A3、B3 が選択される時には、接続ポイント A3 が全長 L1 を有する第 1 の抵抗器 20 の中点に位置し、かつ、接続ポイント B3 が全長 L2 を有する第 2 の抵抗器 30 の中点に位置することが重要である。

【0034】よって、全長 L1、L2 の長さよりも、第 1 の抵抗器 20 の一端から各接続ポイント A1～A4 までの長さの全長 L1 に対する分圧比率と、第 2 の抵抗器 30 の一端から各接続ポイント B1～B4 までの長さの全長 L2 に対する分圧比率が重要となる。

【0035】(第 1、第 2 の抵抗器の構造) 図 3 は、第

1、第 2 の抵抗器 20、30 が形成されている半導体装置の一領域の平面図である。図 4 は図 3 の I-I 断面図である。図 5 は、図 3 に示す複数の基準抵抗器を配線により接続して構成される第 1、第 2 の抵抗器 20、30 の等価回路図である。

【0036】図 3 には、複数の第 1 基準抵抗器 61 と、第 1 の基準抵抗器 60 の 2 倍の長さをそれぞれ持つ複数の第 2 基準抵抗器 62 とが規則的に配列されている状態が図示され、さらに、それらを接続する上層の配線層 74 がハッチングにより図示されている。第 1、第 2 基準抵抗器 62、62 は例えばポリシリコン層にて形成され、配線層 74 は金属例えばアルミニウムにて形成される。なお、抵抗器は必ずしもポリシリコン層にて形成するものに限らず、他の材質例えば不純物拡散層などにて形成することもできる。

【0037】第 1、第 2 の抵抗器 20、30 が形成される有効抵抗領域 60 では、第 1、第 2 の基準抵抗器 61、62 の両端は、図 4 に示すように、層間絶縁膜 70 を介して形成された上述の配線層 74 とビア 72 を介してコンタクトされている。

【0038】ここで、図 3 に示す第 1 基準抵抗器 61 の有効長さ L3 は、図 5 に示す接続ポイント間の最短の有効抵抗長さ、つまり接続ポイント B2、B4 間及び接続ポイント B3、B4 間の各有効抵抗長さに一致している。

【0039】また、図 3 に示す第 2 基準抵抗器 62 の有効長さ L4 は、図 5 に示す接続ポイント間のうちの接続ポイント B1、B3 間の有効抵抗長さに一致している。

【0040】図 3 では、2 つの第 1 基準抵抗器 61 と一つの第 2 基準抵抗器 62 とを 1 組とする抵抗器が横一列に配置され、1 組の抵抗器が縦方向にて繰り返し配置されている。

【0041】第 1、第 2 の抵抗器 20、30 のうちの接続ポイント B2、B4 間、B3、B4 間及び B1、B3 間以外の領域は、複数の第 1 基準抵抗器 61 及び/または第 2 基準抵抗器 62 を直列接続して形成されている。

【0042】例えば、図 1 において第 2 の抵抗器 30 の接続ポイント A1 よりもアンプ 10 の出力端子 12 側に位置する抵抗器は、有効抵抗領域 60 内の一列に位置する 2 つの第 1 基準抵抗器 61 と一つの第 2 基準抵抗器 62 を直列接続することで構成される。第 2 の抵抗器 30 の接続ポイント A2 よりも接地端側に位置する抵抗器もまた同様にして形成される。

【0043】従って、第 2 の抵抗器 30 を構成する複数の第 1、第 2 の基準抵抗器 61、62 が設計値通りに構成されていれば、第 2 の抵抗器 30 の一端から各接続ポイント B1～B4 まで長さの全長 L2 に対する分圧比率が設計通りとなる。

【0044】次に、第 1 の抵抗器 20 について考察する。第 1 の抵抗器 20 の接続ポイント A1、A3 間の抵

抗器は、図3又は図4に示すように、5つの第2基準抵抗器62を直列接続することで構成される。また、第1の抵抗器20の接続ポイントA3、A4間及びA4、A2間の各抵抗器は、図3又は図4に示すように、5つの第1基準抵抗器61を直列接続することで構成される。

【0045】従って、第1の抵抗器20を構成する複数の第1、第2の基準抵抗器61、62が設計値通りに構成されていれば、第1の抵抗器20の一端から各接続ポイントA1~A4まで長さの全長L2に対する分圧比率も設計通りとなる。

【0046】ここで、有効抵抗領域60内には、第1の抵抗器20及び第2の抵抗器30を形成するための複数の第1、第2基準抵抗器61、62が、隣接して配列されている。しかもこの有効抵抗領域60には、複数の第1、第2基準抵抗器61、62が規則正しく配列され、例えば領域60内の左側の第1列には第2基準抵抗器62が、それに隣接する第2、第3列には第1基準抵抗器61が配列されている。また、各抵抗器間の間隔も縦、横方向でそれぞれ等しく設定されている。

【0047】この有効抵抗領域60の周囲にはダミー抵抗領域80が設けられている。このダミー抵抗領域80にも、複数の第1、第2基準抵抗器61、62が配置されるが、これらには配線が施されない。

【0048】以上のことから、有効抵抗領域60内の複数の第1、第2基準抵抗器61、62を設計通りに形成することが可能となる。この理由について以下に説明する。

【0049】第1、第2基準抵抗器61、62を微細加工プロセスにより形成する際に、考慮すべき点の一つとしてエッチングプロセスの均一性を挙げることができる。

【0050】エッチングプロセスの均一性が悪化する要因として、離れた2ヶ所でのエッチングの均一性が悪化したり、エッチング領域の中心と周縁とでエッチングの均一性が悪化するという位置依存性を挙げることができる。

【0051】また、エッチングパターンの粗密に起因して、エッチングに用いられる気体または液体が、エッチング個所に均一に接触しないことが挙げられる。

【0052】これらの問題は、特にウェットエッチング時に顕著となる。これらの均一性阻害原因は、エッチングプロセスの条件が、エッチング個所またはエッチングパターン形状に依存して異なるというものである。

【0053】本実施の形態では、まず、第1、第2の抵抗器20、30を構成するための第1、第2基準抵抗器61、62を、有効抵抗領域60内に隣接して配置している。このため、エッチング個所の位置に依存したばらつきが低減する。

【0054】次に、有効抵抗領域60には、複数の第1、第2基準抵抗器61、62が規則正しく配列され、

領域60内にエッチングパターンの密度がほぼ均一に配列されている。このため、エッチングパターンの粗密の配置に起因したエッチングの不均一を防止することができる。

【0055】さらに、有効抵抗領域60の周囲にはダミー抵抗領域80が形成されている。このため、エッチング領域の中心と周縁とでエッチングの均一性が悪化したとしても、中央領域の有効抵抗領域60での面内均一性を確保できる。

10 【0056】(半導体装置の適用例) 図6は、図1に示すアンプ10及び第1、第2の抵抗器20、30を含んで構成される温度補償回路を内蔵した表示用ドライバIC例えば液晶ドライバICの回路図である。

【0057】図6において、液晶ドライバICに内蔵される主な機能ブロックとして、下記の各機能ブロックが設けられている。電源回路100は、液晶駆動に必要な基準電圧を生成する。電圧生成回路110は、電源回路100からの出力に基づいて液晶駆動に必要な電圧V_{LCD}、V₁~V₄を生成する。液晶駆動回路150は、
20 画素信号に基づいて電圧値V_{LCD}、V₁~V₄またはグランド電圧V_{GND}の中から電圧を選択して信号電極に供給する。

【0058】図7は、液晶駆動回路170より信号電極に供給される信号電位を示している。図7は液晶に印加される電圧がフレーム毎に極性反転される場合の波形を示している。図7に示す「1H」は一水平走査期間である。第1フレームでは1Hに対して電圧がV_{LCD}となるパルス幅Wの割合(デューティ比)によって階調値が決定される。同様に、第2フレームでは1Hの期間に対して電圧がV_{GND}となるパルス幅Wの割合(デューティ比)によって階調値が決定される。
30

【0059】本実施の形態では、液晶パネルの特性に応じて、図7に示す電圧V_{LCD}、V₁~V₄の各電圧値の補正が可能となっている。

【0060】図6に示す電源回路100は、第1の温度-電圧特性を有する第1の電源回路100Aと、第2の温度-電圧特性を有する第1の電源回路100Bと、第1、第2の電源回路100A、100Bからの出力電圧に基づいて、所望の温度勾配を有する電圧特性に従った
40 電圧を出力する温度勾配選択回路106とを有する。

【0061】第1の電源回路100Aは、図8に示す第1の温度勾配(例えば-0.2%/℃)の温度-電圧特性に従って変化する電圧Aを出力する。一方、第2の電源回路100Bは、図8に示す第2の温度勾配(例えば-0.5%/℃)の温度-電圧特性に従って変化する電圧Bを出力する。そして、温度勾配選択回路110は、図8に示す第1、第2の温度勾配の電圧A、B間の所望の温度勾配の電圧Cを選択して出力する。

【0062】第1の電源回路100Aは、第1の温度勾配特性を有する定電圧源102Aからの電圧をアンプ1
50

04Aにて所定のゲインにて増幅して出力する。アンプ104Aの出力線とグランドとの間には抵抗器R1が接続されている。この抵抗器R1の途中位置をアンプ104Aのマイナス端子に接続することで、アンプ104Aの帰還経路に帰還抵抗器R1Aが形成される。

【0063】第2の電源回路100Bは、第2の温度勾配特性を有する定電圧源102Bからの電圧をアンプ104Bにて所定のゲインにて増幅して出力する。アンプ104Bの出力線とグランドとの間には抵抗器R2が接続されている。この抵抗器R2の途中位置をアンプ104Bのマイナス端子に接続することで、アンプ104Bの帰還経路に帰還抵抗器R2Aが形成される。

【0064】なお、上述した第1、第2の温度勾配は、第1の定電圧源102A、第2の定電圧源102Bを構成するMOSトランジスタのプロセス特性に依存して決定される。

【0065】温度勾配選択回路106は、図1及び図2に示す構成を含んで構成される。この温度勾配選択回路106は、第1、第2のアンプ104A、104Bの出力線同士を接続する接続線途中に挿入接続された第1の抵抗器20と、その抵抗器20途中の任意の位置に接続される第1の接続切り換え回路42と、第1の接続切り換え回路42での接続を制御する接続制御部50とを有する。この接続制御部50は、例えば、第1の接続切り換え回路42での接続位置情報を記憶する温度勾配選択レジスタを含んで構成することができる。

【0066】温度勾配選択レジスタはプログラマブルレジスタで、自由に温度勾配を選択することができる。ただし、使用される液晶パネルが特定されれば、製品出荷時にその液晶パネルに固有の温度勾配が選択され、それ以降は変更されることはない。本実施の形態では、温度勾配選択レジスタの設定により、電源回路100からの出力電圧は、例えば図8の電圧特性Cを選択できる。

【0067】温度勾配選択回路106にはアンプ10が設けられている。このアンプ10の入力端子12は第1の接続切り換え回路42に接続され、その出力端子16とグランドとの間には第2の抵抗器30が接続されている。この第2の抵抗器30の途中位置をアンプ10の帰還入力端子14に接続することで、アンプ10の帰還経路に帰還抵抗器が接続される。

【0068】また、アンプ10の帰還入力端子14が第2の抵抗器30に接続される位置は第2の接続切り換え回路44により切り換え可能であり、この接続位置は接続制御部50により上述の通り制御される。

【0069】従って、アンプ10の出力端子16からは、図4に示す温度勾配を有する電圧特性Cに従った電圧が出力される。

【0070】なお、第1、第2の抵抗器20、30の接続ポイントを変更することで、アンプ10の出力端子16から得られる電圧の温度勾配特性Cは、図8の特性A

から特性Bの範囲で変更することができる。この変更は、図8に示すように、温度 t_0 の時にアンプ10の出力端子16からの電圧が一定電位を維持するようにして実施される。

【0071】電子ポリウムスイッチSW1は、第2の抵抗器30途中の任意位置に接続されるスイッチである。ここで、電子ポリウムスイッチSW1の接続位置を変更することで、図8に示す電圧特性Cをさらに補正することができる。

10 【0072】この電子ポリウムスイッチSW1の後段に設けられた電圧生成回路110は、電子ポリウムスイッチSW1を介して電圧が入力されるアンプ112と、その出力線とグランドとの間に接続された抵抗器R3とを有する。そして、アンプ112の出力が電圧V_{LCD}とされ、その電圧が抵抗器R3を用いて抵抗分割されることで各電圧V₁～V₄が生成される。

【0073】本実施の形態では、環境温度に応じて、電子ポリウムスイッチSW1を制御することで、図8に示す電圧特性Cを環境温度に応じてさらに補正している。

20 【0074】このために本実施の形態では、図8に示す2種の温度勾配特性A、Bを利用して環境温度を検出する温度検出部120を備えている。この温度検出部120は、図6に示すように、発振回路121の発振出力を分周する分周回路122と、分周回路122からのクロックをカウントし、所定カウント値毎にリセットされるカウンタ124と、第1の電源回路100A内の第1のアンプ104Aに接続された帰還抵抗器R1Aに接続される温度検出用スイッチSW2と、第2の電源回路100B内の第2のアンプ104Bに接続された帰還抵抗器R2Aに接続される温度検出用スイッチSW3と、温度検出用スイッチSW2、SW3を介して入力される電圧を比較する比較器126と、比較器126の出力が変化したときのカウンタ124の出力に基づいて、実温度に対応するデータを出力する温度設定用レジスタ128とを有する。

30 【0075】こうして、温度検出部120は、電源回路100自体の温度勾配特性を利用して実温度を検出することが可能となる。このように、電源回路100に2種の温度勾配を有する定電圧源100A、100Bを設け、その2種の温度勾配を利用して検出された実温度に基づいて液晶印加電圧を補正しているの、より正確な補正が可能となる。

40 【0076】次に、検出された実温度に基づいて、電子ポリウムスイッチSW1を制御する電子ポリウムスイッチ制御部140は、液晶パネルメーカーの希望により補正値が設定される例えばROM、PROMなどにて形成される補正テーブル142と、同様に液晶パネルメーカーの希望により設定された電子ポリウムスイッチSW1の制御基準値が格納されたレジスタ144と、それら

両者のデジタル値を加算して出力する加算器 146 とを有する。

【0077】図9は、電子ポリュームスイッチ制御部 140 により制御された電子ポリュームスイッチ SW1 からの出力に基づいて得られる液晶印加電圧 V_{LCD} の温度依存特性を示している。図9では、液晶印加電圧 V_{LCD} が低温領域 Ta、中間温度領域 Tb、高温領域 Tc にて異なる温度勾配を有する温度依存特性を示している。低温領域 Ta 及び高温領域 Tc は、補正テーブル 142 からの出力によって制御される電子ポリュームスイッチ SW1 によって設定される。低温領域 Ta は、低温になるほど、電子ポリュームスイッチ SW1 にて選択される抵抗値が小さく設定される（接点をアンプ 10 の出力側に近づける）。これに対して、高温領域 Tc では、高温になるほど抵抗値が大きく設定される（接点をグランド GND 側に近づける）。

【0078】これにより、2種の温度勾配特性 A、B を持つ電源回路 100 の出力電圧から、液晶パネルに固有の温度依存性を有する液晶印加電圧 V_{LCD} 、 $V_1 \sim V_4$ を生成することができる。

【0079】なお、図9に示す温度依存特性は、3分割領域にて異なる傾きを持つ直線補間としたが、分割数、補間形式は他に種々の変形実施が可能であり、例えば曲線補間を用いても良い。

【0080】なお、本発明は、上記の実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、上記実施形態では、第1または第2基準抵抗器を直列接続して第1、第2の抵抗器 20、30 を形成したが、一部に並列接続を用いても良い。等しい抵抗値 R を持つ例えば2つの基準抵抗器を並列接続すると、その等価抵抗値は $R/2$ となるので、これを利用して接続ポイント間の抵抗値を設計しても良い。

【0081】図10は、一種類の基準抵抗器 61 のみを複数用いて、図1に示す第1、第2の抵抗器 20、30 を形成する例を示している。こうすると、基準抵抗器 61 が縦、横に等間隔で規則正しく配列されるので、エッチング加工時の処理の均一性がより高く確保できる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る半導体装置の一部を

示す回路図である。

【図2】図1に示す接続切り換え回路の回路図である。

【図3】図1に示す第1、第2の抵抗器を構成する第1、第2基準抵抗器が配列された有効抵抗領域とその周囲のダミー抵抗領域を示す平面図である。

【図4】図3の I-I 断面図である。

【図5】図3に示す有効抵抗領域内の等価回路図である。

【図6】図1の回路を用いて構成される液晶ドライバ IC のブロック図である。

【図7】図6に示す液晶駆動回路より信号電極に供給される信号電位を示す波形図である。

【図8】図6に示す電源回路の出力電圧の温度勾配を示す特性図である。

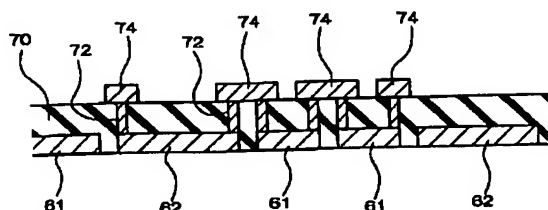
【図9】図6に示す電子ポリュームスイッチの調整によって得られる液晶印加電圧 V_{LCD} の温度依存特性を示す特性図である。

【図10】図1に示す第1、第2の抵抗器を構成する1種類の基準抵抗器が配列された有効抵抗領域を示す平面図である。

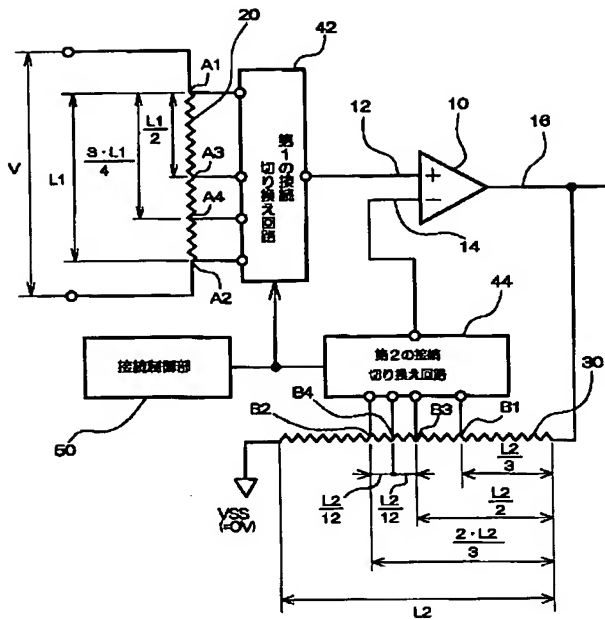
【符号の説明】

- 10 アンプ
- 12 入力端子
- 14 帰還入力端子
- 16 出力端子
- 20 第1の抵抗器
- 30 第2の抵抗器
- 40 接続切り換え回路
- 42 第1の接続切り換え回路
- 44 第2の接続切り換え回路
- 50 接続制御部
- 60 有効抵抗領域
- 61 第1基準抵抗器
- 62 第2基準抵抗器
- 70 層間絶縁膜
- 72 ビア
- 74 配線層
- 80 ダミー抵抗領域
- A1~A4 複数の第1の接続ポイント
- B1~B4 複数の第2の接続ポイント

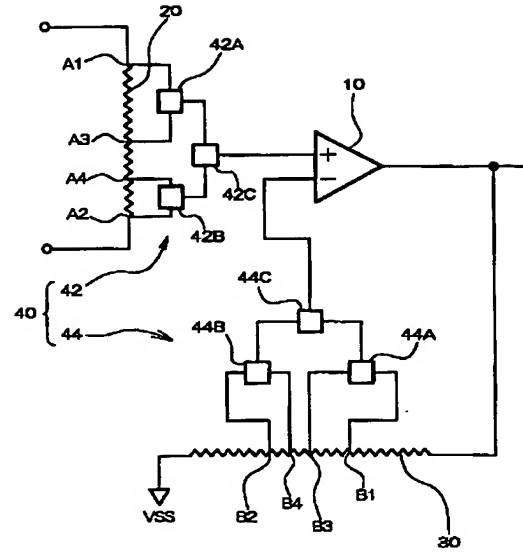
【図4】



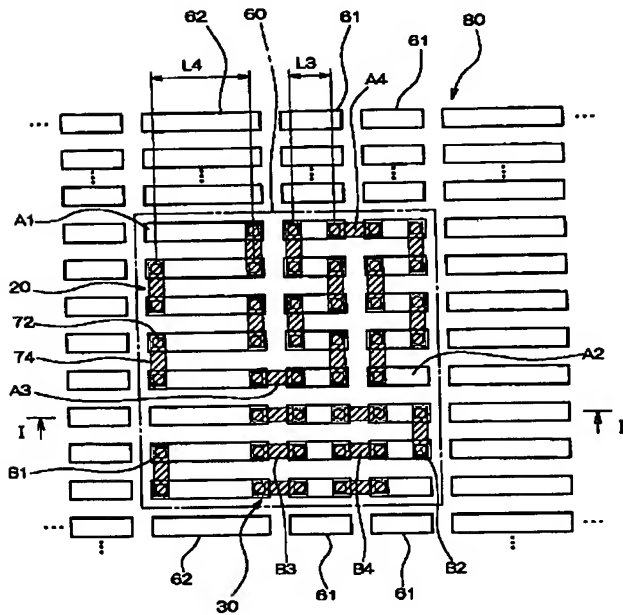
【図1】



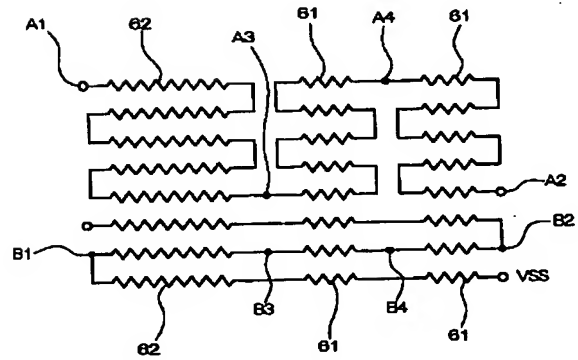
【図2】



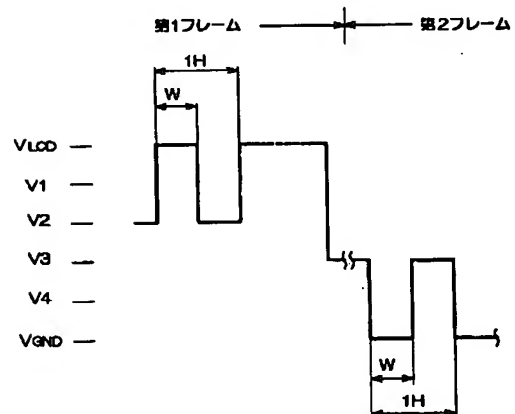
【図3】



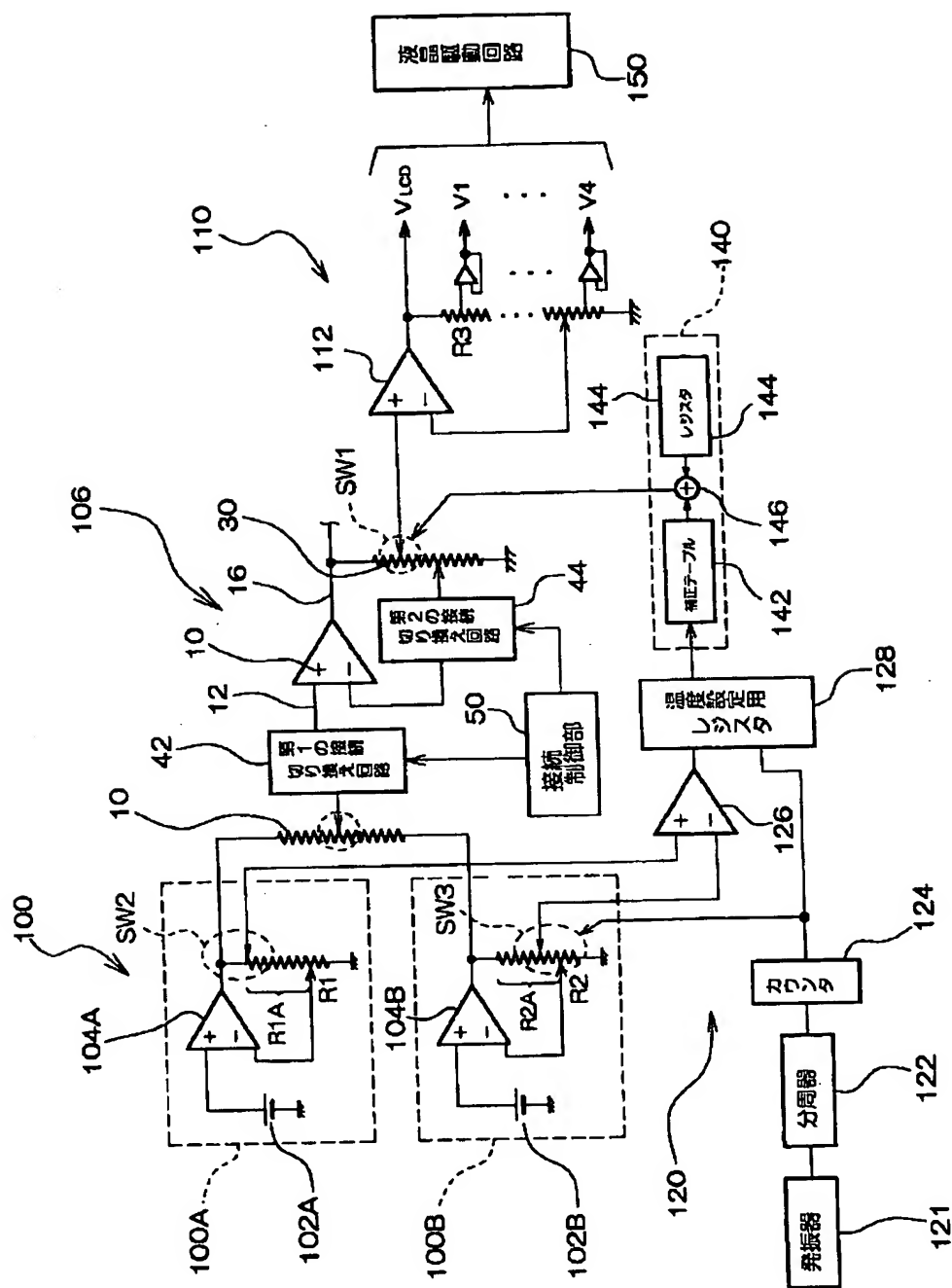
【図5】



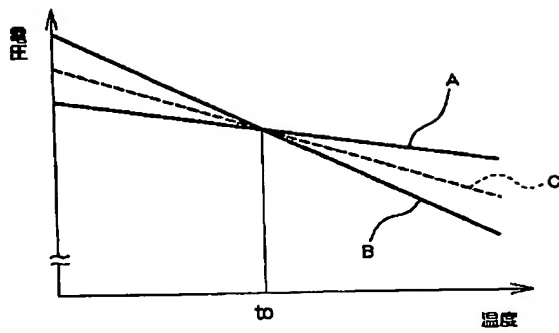
【図7】



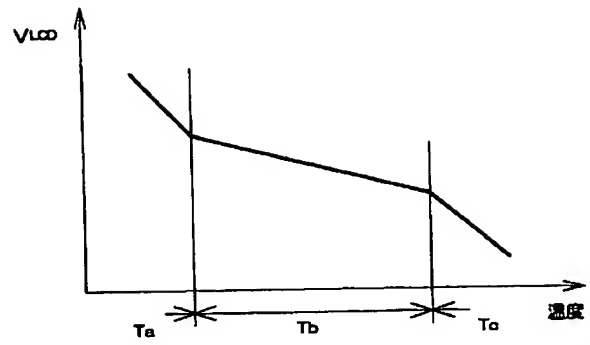
【図 6】



【図8】



【図9】



【図10】

